|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *ЗМІСТ* стор.  Вступ 2   1. Проектування структурної схеми обчислювальної   системи з мікропрограмним управлінням 5   1. Розробка функціональної схеми основної пам’яті   обчислювальної системи 14   1. Розробка принципової схеми БПП + БМУ 16 2. Формати даних 18 3. Проектування системи команд 20   5.1. Система команд 20  5.2. Формати команд 22  6. Узагальнений алгоритм емуляції команд 25   1. Розробка мікропрограм емуляції команд 29   8. Література 31  Додаток 1. Перелік елементів принципової схеми. | | | | | | | | | | |
|  |  |  |  |  | ІАЛЦ.3.105.634.003 ПЗ | | | | | |
|  |  |  |  |  |
| Зм. | Арк | № докум | Підпис | Дата |
| Розроб. | | Федай Г.Г. |  |  | Обчислювальна cистема.  Пояснювальна записка | Літ. | | | Арк. | Арк-ів |
| Перев. | | Клятченко Я.М. |  |  | К | - | - | 1 | 31 |
|  | |  |  |  | КПІ, ФПМ  гр. КВ-91 | | | | |
| Н. контр. | |  |  |  |
| Затв. | | Клятченко Я.М. |  |  |

Аркуш

2

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

# ВСТУП

Використання мікропроцесорів та ОС МПГУ у складі промислового обладнання забезпечує зниження на порядок їх вартості в порівнянні з системами на елементах малого та середнього ступеню інтеграції, які реалізують аналогічні функції. Одночасно досягається різке зменшення маси та габаритних розмірів, а також енергоспоживання систем. Перехід на нову елементну базу підвищує технологічність систем промислової автоматики, різко розширює економічно доступну сферу їх застосування.

В наш час промисловістю освоєно та серійно випускається більше п’ятнадцяти мікропроцесорних комплектів ВІС різної архітектури. Розвиток елементної бази мікропроцесорів при цьому прямує за декількома взаємодоповнюючими напрямками, що забезпечує можливість гнучкої адаптації архітектури систем управління до вимог конкретних примінень і специфіки умов їх експлуатації. В останні роки явно простежується тенденція стандартизації систем команд і інтерфейсів мікро-ЕОМ і мікроконтролерів, що забезпечує застосування розробок, взаємозамінення комп’ютерів та сумісність їх програмного забезпечення.

Мікропроцесор (МП) - пристрій, який оброблює інформацію у відповідності з програмою, яка подається по командам на його входи, і реалізований в одній або декількох ВІС. Очевидно, що МП не може функціонувати без інших інтегральних схем, що виконують функції синхронізації, погодження по навантаженню та ін.

Сукупність інтегральних схем, сумісних за конструктивно-технологічним виготовленням і призначених для сумісного застосування при побудові МП, мікро-ЕОМ і мікропроцесорних систем, називається мікропроцесорним комплектом (МПК). МПК включає ВІС процесора, ВІС регістрів, ІМС регістрів, ІМС інтерфейсу пристроїв введення-виведення, ВІС контролерів, генераторів, таймерів тощо. Таким чином, МП виконує арифметичні та логічні операції, аналізує та приймає рішення, які змінюють процес обчислень, керує процесом введення та виведення інформації, т. ч. він реалізує функції, які виконує центральний процесор ЕОМ.

Для однокристальних 8-розрядних мікропроцесорів властиво використання регістрової та квазі-регістрової адресації, яка дозволяє в межах 8-розрядної команди задавати операції класу регістр-регістр або регістр-пам’ять, які відповідають вимогам обробки програм керування. Однокристальні МП мають фіксовану систему команд, не допускають нарощення, мають універсальне призначення.

Секційні МП мають довільну систему команд, допускають нарощення, мають більш високу швидкодію, застосовуються для створення спеціалізованих засобів ОТ. При використанні секційних мікропроцесорів процесор мікро-ЕОМ будується на наборі ВІС центральних процесорних елементів *(CPU)* зблоком прискореного переносу, які утворюють операційну частину, та блока

мікропрограмного управління *(MCU)* з набором ВІС ПЗУ, які утворюють

Аркуш

3

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

пристрій керування.

Для реалізації інтерфейсу в склад секційних комплектів вводиться ВІС магістральних прийомопередатчиків (MBF), контролерів переривань (ІNTU) і контролерів інтерфейсу (ICU), а для генерації сітки синхронізуючих послідовностей імпульсів процесора - контролерів синхронізації (SGN).Важливо розрізняти контролери та процесори команд. Вони відрізняються кількістю рівнів управління. Мікроконтролери мають один рівень управління процесом обробки інформації - рівень мікрокоманд. Процесори команд мають два рівня управління процесом обробки інформації:

1. Рівень команд.

2. Рівень мікрокоманд.

Таким чином, процесори команд можуть виконувати практично довільну множину команд, маючи обмежену кількість мікрокоманд. Це називається емуляцією. Прикладний алгоритм зберігається у зовнішній для процесора пам'яті В мікропрограмній пам’яті зберігаються мікропрограми емуляціі команд. Замість команди виконується мікропрограма її емуляціі.

Таким чином, емуляція дає наступні переваги:

1. Спрощення структури мікропроцесора.

2. Можливість роботи на практично довільній системі команд.

3. Полегшення розробки мікропроцесора.

4. Можливе збільшення швидкодії, пов’язане з використанням внутрішньої пам’яті.

Другий пункт є особливо важливим для спеціалізованих засобів обчислювальної техніки.

**Мікропроцесорний комплект К1804**

МПК ВІС серії К1804 призначений для побудови блоків і вузлів мікро-ЕОМ, а також іншої радіоелектронної апаратури з високою швидкодією. Завдяки модульності структури, можливості паралельного нарощення, гнучкості мікропрограмного управління комплект забезпечує побудову пристроїв цифрової обчислювальної техніки різноманітної архітектури.

Мікросхеми серії К1804 виконані за напівпровідниковою біполярною технологією на основі транзисторно-транзисторної логіки з діодами Шоттки (TTЛШ) та сумісні з мікросхемами ТТЛ серій К155, К555, К531 та іншими, а також із МПК серій КР1802 та К589.

Керуюча частина МП будується на основі принципу мікро- програмного управління.

Мікропрограма управління процесом або об'єктом знаходиться в МПП. ФАМ формує адреси мікрокоманд. В кожному такті поточна мікрокоманда зберігається в регістрі мікрокоманд.

#### Центральний процесорний елемент К1804ВС1

Велика інтегральна схема ЦПЕ призначена для арифметико-логічної обробки даних і тимчасового зберігання результатів обчислень у вбудованій

Аркуш

4

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

регістровій пам’яті Маючи секційну структуру, ЦПЕ дозволяє шляхом об’єднання декількох ВІС створювати процесори довільної розрядності

## Центральний процесорний елемент К1804ВС2

Велика інтегральна схема K1804BC2 являє собою ЦПЕ з підвищеними алгоритмічними можливостями та орієнтована на обробку складних арифметичних алгоритмів. Маючи секційну структуру. ЦПЕ дозволяє шляхом об’єднання декількох ВІС створювати процесори довільної розрядності.

Секційні блоки мікропрограмного управління К1804ВУ1, К1804ВУ2

Секційні 4-розрядні ВІС К1804ВУ1 і К1804ВУ2 призначені для побудови пристроїв мікропрограмного управління, які адресують довільний об’єм ПЗУ. Нарощення розрядності адреси мікрокоманд здійснюється за рахунок об’єднання декількох *СМУ* поколам переносу. При цьому діапазон комірок, що адресуються, складає до **2n**, де n - кількість використаних ВІС.

###### Контролер станів К1804ВР2

Мікросхема КС призначена для управління колами зсуву, переносу та формування ознак розгалужень програм і мікропрограм процесорів, побудованих на основі секційних ЦПЕ К1804ВС1.

### Контролер послідовності мікрокоманд К1804ВУ3

Мікросхема КМП призначена для скорочення розрядності мікрокоманд, які керують роботою пристрою управління, і являє собою дешифратор з п’ятьма входами та вісьмома виходами, в якому зашиті 27 різноманітних комбінацій керуючих сигналів.

##### Блок мікропрограмного управління К1804ВУ4

Мікросхема призначена для генерації послідовностей адрес мікрокоманд розрядністю в 12 біт. ВІС К1804ВУ4 не дозволяє нарощувати адресу за рахунок об’єднання декількох мікросхем і представляє собою завершений пристрій з можливостями, адекватними трьом об’єднаним ВІС К1804ВУ2, які керуються однією ВІС К1804ВУ3.

Паралельний регістр К1804ИР1

Мікросхема представляє собою 4-х розрядний регістр для зберігання даних і приєднання до загальної шини мікро-ЕОМ.

Магістральні прийомопередавачі К1804ВА1, К1604ВА2, К1804ВА3

Мікросхеми призначені для буферизації, електричної розв’язки та організації систем введення/виведення інформації.

Багатоцільовий буферний регістр К1804ИР2

Мікросхема призначена для буферизації та електричної розв’язки інформаційних шин мікро-ЕОМ.

Порт введення/виведення К1804ИР3

Мікросхема призначена для організації систем ведення/виведення мікроЕОМ.

Генератор синхронізації К1804ГП

Мікросхема призначена для побудови блоків синхронізації мікро-ЕОМ.

**1. ПРОЕКТУВАННЯ ТА РОЗРОБКА СТРУКТУРНОЇ СХЕМИ ОБЧИСЛЮВАЛЬНОЇ СИСТЕМИ З МІКРОПРОГРАМНИМ УПРАВЛІННЯМ (ОС МПГУ)**

Аркуш

5

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

**1.1.Склад структурної схеми** **мікро-ЕОМ.**

###### 

###### До складу структурної схеми ОС МПГУ входять наступні блоки:

###### Блок обробки даних (БОД).

###### Блок мікропрограмного управління (БМУ).

###### Блок приоритетних переривань (БПП).

###### Пам’ять.

###### Зовнішні пристрої.

###### Контролер прямого доступу до пам’яті.

**1.2. Характеристика блоків**

**1.2.1.Характеристика БОД**

###### До складу БОД входять арифметико-логічний пристрій (АЛП) та схема управління станом і зсувами (СУСЗ).

###### АЛП будують на основі мікропроцесорних секцій (МПС), кожна з яких обробляє дані 4-х розрядів. Структурна схема МПС містить 4 блоки: блок внутрішньої пам’яті, блок операційного автомата (ОА), блок регістра Q та блок управління. ОС МПГУ 16-розрядна, тому АЛП складається з чотирьох МПС К1804ВС1. Мікросхеми ВС1 мають наступні виводи:

###### МI (9 розрядів) - для коду мікрокоманди;

###### A, B (по 4 розряди) - адресні входи, дані надходять з регістрів А і В відповідно;

###### D (4 розряди) - вхід з шини даних;

###### Y (4 розряди) - вихід на шину Y;

###### OE - вхід для сигналу дозволу видачі результату на шину Y;

###### C4, F3, Z, OVR - ознаки результату;

###### P, G - виходи для організації прискореного переносу;

###### CІ - вхідний перенос;

###### PQ3 - вивід зсуву старшого розряду регістра Q;

###### PQ0 - вивід зсуву молодшого розряду регістра Q;

###### PF3 - вивід зсуву старшого розряду регістра РЗП;

###### PF0 - вивід зсуву молодшого розряду регістра РЗП.

Аркуш

6

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

Роль СУСЗ виконує мікросхема К1804ВР2. Вона призначена для :

###### 1. формування сигналу вхідного переносу для молодшої МПС АЛП та СПП (СІ);

###### 2. організації різноманітних зсувів вправо та вліво на один розряд;

###### 3. виконання мікрооперацій над бітами слова стану (C4, F3, Z, OVR);

###### 4. формування сигналу умови СТ.

###### Призначення виводів МС ВР2 :

###### МI0..МI12 - входи мікроінструкцій;

###### C, N, V, Z - входи слова стану;

###### YC, YN, YV, YZ - входи двонапрямної шини Y для запису слова стану у зовнішній регістр та читання з регістра;

###### OEY - дозвіл на виведення слова стану на шину Y

###### CEN, CEM - дозвіл запису в регістри N і M відповідно;

###### EZ,EN,EV,EC - входи керування записом в окремі розряди регістру M;

###### CT - вихід сигналу умови (тристабільний);

###### OECT - дозвіл видачі сигналу умови CT на шину;

###### PF3, PF0, PQ3, PQ0 - входи/виходи для організації зсувів;

###### SE - сигнал дозволу зсуву.

###### Після виконання кожної мікрооперації формується слово стану, яке складається з наступних ознак результату:

###### C4 - перенос за межі старшого розряду результату;

###### F3 - значення (копія) - старшого розряду результату (знак результату);

###### Z - ознака нульового результату (вихід з відкритим колектором);

###### ОVR - ознака переповнення результату.

###### Після виконання кожної мікрооперації в АЛП зі старшої МПС слово стану надходить в СУСЗ, де над ними можуть виконуватись різноманітні операції. Поточні або попередні значення слова стану можуть зберігатись у двох внутрішніх регістрах (RgN, RgM) або у зовнішньому стеку. На підставі слова стану формується сигнал умови СТ, який надходить в блок мікропрограмного управління й використовується для організації умовних переходів в мікропідпрограмах.

###### Можливі два способи об’єднання МПС в АЛП :

###### - з послідовним переносом із секції в секцію;

###### - з паралельним переносом.

###### В даній роботі використовується спосіб об’єднання схем з послідовним переносом із секції в секцію. В цьому випадку застосовуються виходи з відкритим колектором для організації монтажного І з метою економії апаратних витрат. Операцію можна виконати без логічного елемента І за рахунок об’єднання виходів з відкритим колектором в одну точку.

**1.2.2. Характеристика БМУ**

Аркуш

7

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

**Обов’язкові компоненти БМУ** :

1. ФАМ - формувач адреси мікрокоманд

2. ПМК – пам’ять мікрокоманд

3. РМК - регістр мікрокоманд

4. МУ - мультиплексор умови

5. ІНВ - інвертор умови.

**Допоміжні компоненти**:

ППА - перетворювач початкової адреси, якщо ЕОМ емулює певну систему мікрокоманд.

ПА-перетворювач адреси, якщо до ЕОМ приєднані зовнішні пристрої.

Функції ФАМ забезпечує спеціальна мікросхема керування послідовністю мікрокоманд (К1804ВУ6). ВУ6 призначена для формування адреси МПП ємністю до 4 Кслів; знаходиться у складі пристроїв мікропрограмного управління.

ВУ6 виробляє дванадцяти розрядні адреси МК. Виконує 16 мікроінструкцій, котрі забезпечують:

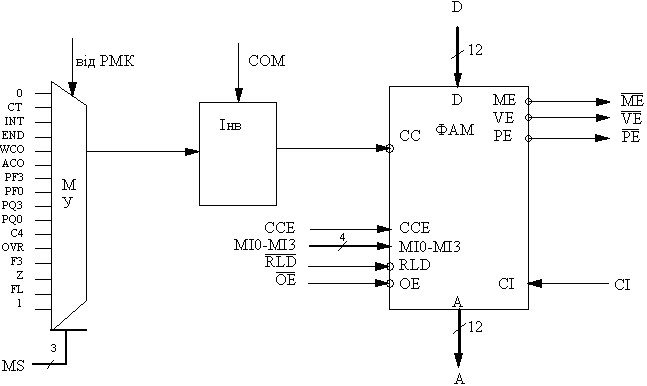
1. Отримання наступної адреси

2. Багаторазове повторення однієї і тієї ж адреси

1. Умовні та безумовні переходи

4. Умовні та безумовні виклики мікропідпрограм

5. Організація циклів



**Структура ФАМ**.

Аркуш

8

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

РА/ЛЦ - регістр адреси/лічильник циклів

МУ - мультиплексор

ФОН - формування ознаки нуля

УНА - управління наступною адресою

ЛМК - лічильних МК

**Призначення виводів :**

D0-D11 - шина адреси наступної команди

RLD - дозвіл запису до регістру адреси/лічильника циклу РА/ЛЦ.

CІ - вхідний перенос лічильника мікрокоманд.

FL - ознака переповнення внутрішнього стеку.

Глибина стеку - 5 дванадцяти-розрядних мікрокоманд. Стек використовується для тимчасового зберігання адреси МК під час переходу до мікропрограми.

АО-А11 - шина адреси мікрокоманди.

СС - код умови.

ССЕ - код дозволу умови.

Мікросхема ВУ4 формує 3 сигнали управління :

РЕ - дозвіл РМК

ME - дозвіл перетворення початкової адреси (ППА).

VE - дозвіл перетворення адреси.

ПМК зберігає мікропрограму емуляції мікрокоманд та мікропідпрограми обслуговування зовнішніх пристроїв.

ППА перетворює код операції мікрокоманди в початкову адресу мікропідпрограми, яка відповідає даній мікрокоманді, яка знаходиться в ПМК.

РМК - регістр мікрокоманд

ПА - трансформує вектор переривання в початкову адресу мікропідпрограми обслуговування даного переривання.

Інвертор - являє собою суматор за модулем 2.

**1.2.3. Характеристика БПП**

Блок пріоритетних переривань призначений для організації системи переривань. Для цього в МС К1804 застосовуються мікросхеми К1804ВН1 - схеми векторного пріоритетного переривання і К1804ВРЗ - розширювач пріоритетного переривання. За допомогою цих двох мікросхем забезпечується:

- реєстрація запитів на переривання;

Аркуш

9

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

* виділення запиту з максимальним пріоритетом серед немаскованих запитів;
* порівняння пріоритету виділеного запиту з поточним пріоритетом;
* формування сигналу запиту на переривання;
* формування вектору переривання.

Мікросхема К1804ВН1 дозволяє приймати та обслуговувати запити на переривання від 8 зовнішніх пристроїв, а К1804ВРЗ дозволяє шляхом об’єднання 8 МС K1804BH1 створювати БПП з кількістю ліній переривань до 64.

**МС K1804BH1 має наступні виводи** :

INR0-INR7 - входи запитів на переривання;

ЕР - визначає вигляд сигналів запитів;

МК0-МК7 - шина маски,

S0-S2 - шина стану;

MI0-MI3 - входи коду мікроінструкції;

ЕІ - дозвіл виконання мікроінструкцій;

OVR - сигнал переповнення,

VEC0-VEC2 - вектор переривання.

**Система команд БПП.**

Чотири розряди коду мікроінструкції MІ0-MІ3 дозволяють створити систему команд БПП, яка налічує 16 команд, умовно розподілені на наступні групи.

а) Команди для роботи з регістром запитів (4) :

RESET IR - очистка регістра запитів;

CLR IR,val - очистка окремих розрядів РЗ сигналами з шини маски;

CLR IR,MR - очистка окремих розрядів РЗ сигналами з РМ;

CLR IR,VR - очистка одного з розрядів IR під управлінням VR (номер розряду береться з РЗ);

б) Команди для роботи з регістром маски (6) :

LOAD MR,val - завантаження РМ значеннями val;

READ MR - читання РМ;

CLR MR,val - очистка РМ сигналами з шини маски;

SET MR,val - встановлення в «1» окремих розрядів MR сигналами з шини маски;

SET MR – встановлення в «1» всіх розрядів регістра маски;

RESET MR – очистка регістра маски;

в) Команди для роботи з регістром стану (2) :

LOAD SR,val – завантаження регістра стану значеннями val;

READ SR - читання слова стану;

г) Інші команди (4) :

Аркуш

10

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

READ VR - читання вектора переривань (вектор переривань завантажується в РВ; з нього на шину V0-V2, причому в PC завантажується трьохрозрядне слово, на одиницю більше молодшого розряду, ніж вектор переривань - поріг пріоритету);

EІ - дозвіл переривань;

DI - заборона переривань (виходу IR);

RESET - загальна очистка схеми.

Для виконання довільної команди поле ЕІ мікроінструкції повинно утримувати 0 (дозвіл команди).

**1.2.4. Характеристика КПДП**

Прямий доступ до пам’яті (ПДП) - спосіб вводу/виводу інформації, під час якого встановлюється безпосередній зв’язок між приладами вводу/виводу (ПВВ) і пам’яттю та передача даних виконується без участі центрального процесору. Досягається висока швидкодія обміну інформацією, звільнення центрального процесору від безпосередньої передачі даних. Для організації ПДП використовують контролер ПДП (КПДП).

**Функції КПДП :**

- Керування режимами передачі.

- Генерація адреси.

- Пересилка даних.

- Підрахунок кількості слів.

Основною структурною одиницею КПДП є генератор адреси (ГА) К1804ВУ6.

**Функції мікросхеми К1804ВУ6 :**

- Формування послідовних адрес комірок пам’яті під час передачі даних до пам’яті або з пам’яті.

- Підрахунок кількості слів.

- Формування сигналу кінця передачі.

**Структура КПДП.**

Для встановлення зв’язку між ПВВ і пам’яттю використовують механізм пріоритетних переривань.

БПП приймає запит на переривання від ПВВ, формує сигнал IR - вимога переривання і вектор переривання ПА трансформує вектор переривання вдванадцяти розрядну початкову адресу мікропрограми обслуговування ПВВ, яка знаходиться в МПП. Ця програма настроює ГА на потрібний режим роботи, задає кількість слів, початкову або кінцеву адресу пам’яті та ініціює початок передачі інформації. Дані з ПВВ передаються через внутрішню три-стабільну шину на шину даних пам’яті (через приймально-передавальний пристрій), а адресу формує ГА.

**Система команд ГА.**

Аркуш

11

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

000 WRCR - запис в регістр управління

001 RDCR - читання з регістра управління

101 LDAD - завантаження регістра та лічильника адреси

110 LDWC - завантаження регістра кількості слів та лічильника слів

011 RDAC - читання лічильника слів

010 RDWC - читання лічильника слів

100 REIN - завантаження лічильників з регістрів

1. ENCT - запуск (дозвіл лічби)

**Існує 4 режими роботи К1804ВУ6** :

**Режим 0 :** До появи ’0’ у лічильнику слів

До регістру керування заноситься 100, до регістру кількості слів і лічильника слів - кількість слів, до регістру і лічильника адреси - кінцева адреса та відбувається зменшення значень лічильників на 1 на кожному кроці до появи у лічильнику слів ’0’.

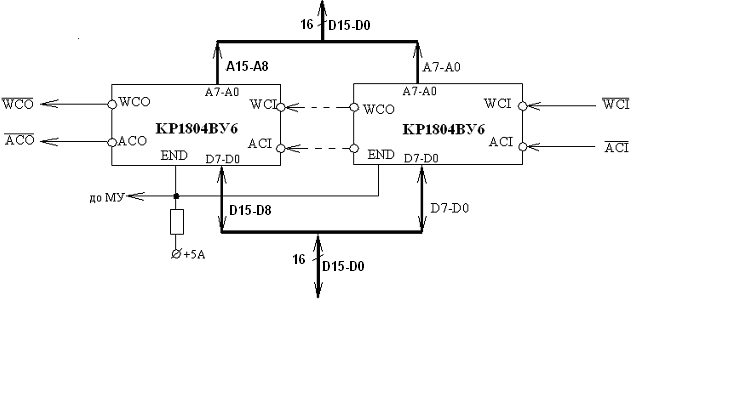
**Режим 1 :** Передача до заданої кількості слів

До регістру управління заноситься 001, до регістру кількості слів - кількість слів, до лічильника слів - 0, до регістру і лічильника адреси - початкова адреса та відбувається збільшення значень лічильників на 1 на кожному кроці до появи рівності регістру та лічильника слів.

**Режим 2 :** В цьому режимі виконується передача до заданої адреси, причому лічильник слів виконує функції регістра. Операція пересилки зупиняється, коли вміст лічильника адреси дорівнює вмісту лічильника слів.

До регістру управління заноситься 010, до регістру слів - кінцева адреса, до лічильника адреси - початкова адреса та відбувається збільшення значення лічильника адреси на 1 при кожному кроці до появи рівності лічильника слів та адреси.

**Режим 3 :** Передача до переповнення лічильника слів.

До лічильника слів записується доповнення кількості слів, які необхідно передати. Лічильник слів виконує інкремент до переповнення (сигнал WCOO). До регстру управління заноситься 011. до лічильника і регістра слів - кількість слів в доповняльному коді, до лічильника і регістра адреси – початкова адреса **1.2.5. Характеристика пам’яті**

Пам’ять мікро-ЕОМ складається з оперативної та постійної пам’яті. Їх ємність 16 і 16 Кбайт відповідно. Обидва види пам’яті утворюють єдиний адресний простір. Записувати до пам’яті та зчитувати з пам’яті можна 16-бітні слова, тому що ЕОМ має 16-розрядну шину даних. Для адресації пам’яті достатньо 14 бітів.

Аркуш

12

Зм.

Арк.

№ докум.

Підпис

Дата

ІАЛЦ.3.105.634.003 ПЗ

Оперативна пам’ять реалізована на МС **КМ132РУ8**;

Постійна пам’ять реалізована на МС **К555РЕ4**.

Для досягнення потрібної розрядності мікросхеми пам’яті об’єднуються в субмодулі. Більш повний опис пам’яті приведено у розділі “Проектування функціональної схеми основної пам’яті”.

**1.3. Структура мікрокоманди**

**1.3.1. Поля для БМПС :**

АЛП\_МІ(9) : мікроінструкція для МПСВС1;

А(4),В(4) : визначає регістри, які приймають участь в операції;

OEY : дозвіл видачі результату на шину Y.

**1.3.2. Поля для СУСЗ :**

СУСЗ\_МІ(13) : мікроінструкція для МПС ВР2;

ОЕСТ : дозвіл видачі сигналу СТ;

OEY : дозвіл видачі результату на шину Y;

EC, EN, EV, EZ : дозвіл використовування ознак C, N, V, Z;

CEN, СЕМ : дозвіл роботи;

SE : дозвіл зсуву.

**1.3.3. Поля для ФАМ :**

ФАМ\_МІ (4) : код мікроінструкції;

Р (12) : поле адреси наступної мікрокоманди (поле розгалужень);

RLD : дозвіл запису інформації до РА/ЛЦ мікросхеми ВУ4;

ССЕ : дозвіл умови;

CІ : вхідний перенос лічильника МК;

Аркуш

13

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

ОЕФАМ : дозвіл видачі результату.

**1.3.4. Поля для МУ :**

MS (3) : поле управління мультиплексором;

СОМ : інвертування умови.

**1.3.5. Поля для БПП :**

СВП\_МІ (4) : код мікроінструкції;

ЕІ : заборона переривання.

**1.3.6. Поля для КПДП :**

ГА\_МІ (3) : код мікроінструкції;

ОЕА : управління шиною;

WCI : вхідний перенос.

**1.3.7. Поля для РД, РА, РКОП :**

OЕpд, ОЕра : дозвіл видачі результату на шину.

СЕрд, СEра, СЕркоп : дозвіл роботи.

**1.3.8. Поля для роботи з пам’яттю :**

MWT: сигнал читання;

MRD : сигнал запису.

**1.4. Процес виконання команди (процес емуляції команд)**

14-бітна інструкція з основної пам’яті потрапляє через регістр коду операції до перетворювача початкової адреси, в якому перетворюється код операції команди в початкову адресу мікропідпрограми, котра відповідає даній команді та знаходиться в МПП. Після чого під управлінням ФАМ виконується мікропідпрограма.

**1.5. Механізм обробки переривань**

Запити на переривання від 8 зовнішніх пристроїв поступають на входи INR0-INR7 БПП. Якщо запит на переривання має пріоритет нижчий поточного, то він розташовується у регістрі запитів (IR) і там очікує завершення обслуговування діючого переривання, якщо ж його пріоритет перевищує поточний і воно не є замаскованим, то БПП виробляє сигнал запиту на переривання, який подається на мультиплексор коду умови і чотири розрядний вектор переривання VEC0-VEC3, який потрапляє на перетворювач адреси (ПА), де йому ставиться у відповідність 12-розрядна початкова адреса мікропідпрограми обслуговування переривань (розташованої в ПМК). Запит на переривання може бути замаскованим у відповідності з *регістром маски (МR),* який через двонапрямлені виводи

М0-М7 з’єднаний з шиною даних. Замаскований запит на переривання не призводить до будь-яких дій. БПП на основі МС К1804ВН1 забезпечує також встановлення порогу пріоритету запитів на переривання. Поріг зберігається у *регістрі стану (SR),* також з’єднаному з шиною даних (через двонапрямлені виводи SA0-SA2).

1. **РОЗРОБКА ФУНКЦІОНАЛЬНОЇ СХЕМИ ОСНОВНОЇ ПАМ’ЯТІ**

Аркуш

14

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

**ОС МПГУ**

Головна задача при проектуванні функціональної схеми основної пам’яті мікро-ЕОМ - визначення кількості субмодулів мікросхем пам’яті, необхідних для реалізації заданої ємності оперативної та постійної пам’яті при заданій елементній базі, визначення кількості мікросхем, які входять в кожний субмодуль для реалізації необхідної розрядності шини даних, розподілення адресного простору основної пам’яті між оперативною та постійною пам’яттю та проектування контролера блока пам’яті.

Необхідно спроектувати функціональну схему основної пам'яті ЕОМ ємністю 32 Кбайти.

Основна пам’ять складається з:

* ОЗП, ємністю 16Кб;
* ПЗП, ємністю 16Kб.
* Елементна база ОЗП: КМ132РУ8.
* Елементна база ПЗП: К555РЕ4.

**КМ132РУ8***.* Дана МС має 10 адресних входів, а також 4-розрядну двонапрямну тристабільну шину для вводу/виводу інформації і дозволяє зберігати 1Кх4 біт інформації.

*Керуючі сигнали*:

W/R - запис/читання;

**К555РЕ4***.* Дана МС має 11 адресних входів та 8-розрядну шину виводу і дозволяє зберігати 2Кх8 біт інформації.

*Керуючі сигнали*:

CS - вибір МС.

Оскільки мінімальна одиниця інформації, що адресується - 16-розрядне слово, то ємність основної пам’яті складає 16K 16-ти розрядних слів.

* ОЗП - 8К 16-ти розрядних слів.
* ПЗП - 8К 16-ти розрядних слів.

Розрядність пам’яті :

* ОП - ]log16K[ = ]log16[+10 = 14

Для досягнення необхідної розрядності МС пам’яті об’єднуються в субмодулі. Кількість мікросхем ОЗП у субмодулі дорівнює 4, ПЗП ­­- 2.

Для досягнення необхідної ємності субмодулі об’єднуються в модулі. Кількість субмодулів ОЗП у модулі дорівнює 8, ПЗП – 4.

**Розподілимо адресний простір наступним чином:**

Аркуш

15

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | А13 | A12 | А11 | А10 | А9 | А8 | А7 | А6 | А5 | А4 | А3 | А2 | А1 | А0 | HEX |
| 0ЗП | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0000h  1FFFh |
|  | DC | | | н | а |  | Р | У | 8 |  |  |  |  |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| ПЗП | 1  1  1  1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 2000h  3FFFh |
|  | DC | |  | н | а |  | Р | Е | 4 |  |  |  |  |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

* Розряд A13 використовується для вибору RAM або ROM;
* Розряди А12, А11 подаються на DC ROM;
* Розряди А10-А0 подаються на мікросхему ПЗП;
* Розряди А9-А0 подаються на мікросхему ОЗП.
* Розряди А12-А10 подаються на DC RAM.

**3. ПРОЕКТУВАННЯ ПРИНЦИПОВОЇ СХЕМИ БПП+БМУ.**

Аркуш

16

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

До складу **БМУ** входять:

* + формувач адрес мікрокоманд (ФАМ);
  + пам’ять мікрокоманд (ПМК);
  + регістр мікрокоманди (РМК);
  + мультиплексор сигналів логічних умов (МУ);
  + інвертор (суматор за модулем два);
  + три буфери: Буфер М, Буфер V, Буфер Р.

ФАМ реалізовано на МС К1804ВУ4 (МС DD1) та має нижче вказані виводи:

*ФАМ\_МІ* – 4-розрядна мікроінструкція для ФАМ

*D0-D11* – шина адреси наступної команди;

дозвіл запису до регістру РА/ЛЦ

*CІ* – вхідний перенос лічильника мікрокоманд

ознака переповнення внутрішнього стеку. Глибина стеку – 5 дванадцятирозрядних мікрокоманд. Стек використовується для тимчасового зберігання адреси МК під час переходу до мікропрограми.

*А0-А11* – шина адреси мікрокоманди

Джерелом наступної адреси можуть бути:

1. значення лічильника мікрокоманд (ЛМК)

2. адреса з верхівки стеку (під час повернення з мікрпідпрограми)

3. адреса переходу з шини D

4. нульова адреса

код умови

*CCE* – код дозволу умови

 – відкриття РМК

 – відкриття ППА

 – відкриття ПА

Сигнал  потрапляє з інвертора, який реалізовано на МС К555ЛЛ3 (МС DD2.1). На інвертор подається сигнал СОМ і сигнал з МУ.

МУ реалізовано на мікросхемі КР1533КП15 (MC DD3).

ПМК складається з двох субмодулів, реалізованих на МС К541РТ2 (DD4-DD25). Вибір субмодуля відбувається по сигналу Y11 (ФАМ)

Кожен субмодуль складається з 11 МС та забезпечує необхідну розрядність мікрокоманди (84 розряди). Виходи 1-84 ПМК подаються на РМК.

РМК реалізовано за допомогою регістру, побудованому на МС К555ИР22 (МС DD26 - DD36).

**БПП :**

Оскільки обчислювальна система розрахована на 16 зовнішніх пристороїв, то БПП складається з двох схем К1804ВН1(DD37, DD38). Мікросхеми ВН1 мають наступні виводи :

INR0-INR7 – входи запитів на переривання від зовнішніх пристроїв;

МК0-МК7 – шина маски,

MI0-MI3 – входи коду мікроінструкції;

EINS – дозвіл виконання мікроінструкції

SA0-SA2 – шина стану (порога пріоритету)

VEC0-VEC2 – шина вектора

INT – вимога переривання

ID – заборона переривання

EI – дозвіл переривання

GI – вхід групи

EG – дозвіл групи

GO – вихід групи

GS – вибір групи

PD – заборона паралельної обробки переривань

RD – заборона послідовної обробки переривань

OVR – переповнення схеми векторних переривань.

Розширювач векторних переривань (РВП) використовується для об’єднання декількох схем векторних переривань, щоб таким чином можна було під’єднати до обчислювальної системи більшу кількість зовнішніх пристроїв. Можливі два способи підключення СВП: послідовний та паралельний. За варіантом реалізовано паралельне з’єднання.

РВП реалізовано на МС К1804ВР3 (DD39). На входи І РВП під’єднуються виходи GS СВП, на входи G подається мікроінструкція, вхід ЕІ відповідає за дозвіл запису. На виході А0 матимемо останній розряд адреси вектора переривання VEC. Даний сигнал подаємо на ПА, реалізованого на двох МС К541РТ2 (DD40, DD41), який генерує адресу мікропідпрограми обробки даного переривання та подає її на вхід ФАМ.

Аркуш

17

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

**4.ФОРМАТИ ДАНИХ**

Аркуш

18

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

**16-розрядна ОС МПГУ оперує з форматами даних :**

1. **Цілі 8-бітні числа без знаку (формат char)**

7 0

|  |  |  |
| --- | --- | --- |
|  |  |  |

Діапазон : 0… 28-1

Над даним типом даних виконуються операцій (13):

and, or, xor, not,

add, sub, inc, del,

srl, sll, src, slc,

cmp.

1. **Цілі 16-бітні числа без знаку (формат INT)**

15 0

|  |  |  |
| --- | --- | --- |
|  |  |  |

Діапазон : 0...216- 1

Над даним типом даних виконуються операції (13):

and, or, xor, not,

add, sub, inc, del,

srl, sll, src, slc,

cmp.

1. **Цілі 16-бітні числа зі знаком (формат INTG)**

15 0

|  |  |  |
| --- | --- | --- |
|  |  |  |

Діапазон : -215…215-1

Над даним типом даних виконуються операції (13):

and, or, xor, not,

add, sub, inc, del,

srl, sll, src, slc,

cmp.

1. **Числа з плаваючою крапкою (формат real)**

15 14 8 7 0

|  |  |  |
| --- | --- | --- |
|  |  |  |
| Знак мантиси | Характеристика числа | Мантиса числа |

Діапазон : 2.93874\* …1.7014\*

Над даним типом даних виконуються операції (9):

add, sub, inc, del,

imul, idiv,

sra, sla,

cmp.

1. **Десяткові числа (формат BCD)**

15 0

|  |  |  |  |
| --- | --- | --- | --- |
| знак | ч | ч | ч |

Діапазон : -999…+999

Над даним типом даних виконуються операції (13):

ADDF,ADDR,SUBF,SUBR,SQRT.

Аркуш

19

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

**5. ПРОЕКТУВАННЯ СИСТЕМИ КОМАНД**

Аркуш

20

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

**5.1. Система команд**

**Система команд налічує 76 команд :**

а) команди пересилки інформації (5) :  
mov R,M  
mov M,R  
mov R,R  
mov R,#d16

б) арифметичні команди (39) :  
inc R  
inc adr

inc M

add R,R

add M,R

add R,M

add R,#d16

fadd R,R

fadd M,R

fadd R,M

imul R,R

imul M,R

imul R,M

imul R,#d16

fmul R,R

fmul M,R

fmul R,M

dec R

dec adr

dec M

sub R,R

sub M,R

sub R,M

sub R,#d16

fsub R,R

fsub M,R

fsub R,M

idiv R,R

idiv M,R

Аркуш

21

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

idiv R,M

idiv R,#d16

fdiv R,R

fdiv M,R

fdiv R,M

fsqr R

в) логічні команди (10) :

and R,R

and M,R

and R,M

or R,R

or M,R

or R,M

xor R,R

xor M,R

xor R,M

not R

г) команди зсувів (6) :

sra R

srl R

src R

sla R

sll R

slc R

д) команди порівняння (4) :

cmp R,R

cmp R,M

cmp R,#d16

е) команди переходів (11) :

jmp adr

jmp M

jmp dist

jz dist

jc dist

js dist

jo dist

jnz dist

jnc dist

Аркуш

22

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

jus dist

jno dist

ж) команди роботи з підпрограмами (3) :

call adr

call dist

retp

3) інші команди (5) :

nор

loop

dist  
movsb  
movsw

**5. 2. Формaти команд**

а) Двобайтні (16 біт) команди (55) :

###### 15 8 7 0

|  |  |
| --- | --- |
| КОП | Резерв |

Команди (4) :

nор

ret

movsb

movsw

###### 15 8 7 0

|  |  |  |
| --- | --- | --- |
| КОП. | Резерв | R |

Команди (13) :

inc R dec R

inс М dec M

fsqr R

not R

sra R sla R

srl R sll R

src R slc R

jmp M

###### 15 8 7 0

Аркуш

23

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

|  |  |  |
| --- | --- | --- |
| КОП. | R | R |

Команди (38) :

mov R,M

mov M,R

mov R,R

add R,R

add M,R

add R,M

fadd R,R

fadd M,R

fadd R,M

imul R,R

imul M,R

imul R,M

fmul R,R

fmul M,R

fmul R,M

and R,R

and M,R

and R,M

or R,R

or M,R

or R,M

xor R,R

xor M,R

xor R,M

cmp R,R

cmp R,M

sub R,R

sub M,R

sub R,M

fsub R,R

fsub M,R

fsub R,M

idiv R,R

Аркуш

24

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

idiv M,R

idiv R,M

fdiv R,R

fdiv M,R

fdiv R,M

б) 4-байтні (32 біта) команди (21) :

###### 15 8 7 0 15 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| КОП.. | Резерв | R |  | #d16 |

Команди (6) :

mov R,#d16

add R,#d16

imul R,#d16

cmp R,#d16

sub R,#d16

idiv R,#d16

###### 15 8 7 0 15 0

|  |  |  |  |
| --- | --- | --- | --- |
| КОП. | Резерв |  | adr/dist |

Команди (15) :

inc adr

jmp adr

jmp disl

jz dist

jc dist

js dist

jo dist

call adr

call dist

loop dist

dec adr

jnz dist

jnc dist

jns dist

jno dist

**6. ЕМУЛЯЦІЯ СИСТЕМИ КОМАНД**

Аркуш

25

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

Мiкро-ЕОМ здійснює емуляцію системи команд віртуального процесора. Це означає, що кожна команда, яка реалізована в емулюємому процесорі, замінюється в мікро-ЕОМ послідовністю мікрокоманд (мікропрограмою) з системи команд реалізованих в емулюючій мікро-ЕОМ.

Регістри віртуального процесора, його слово стану і програмний лічильник знаходяться в ОЗУ мікро-ЕОМ.

**Розподілення регістрів віртуального процесора в ОЗУ :**

CNT програмний лічильник віртуального процесора

RA-RJ регістри віртуального процесора

PSW слово стану віртуального процесора

SP покажчик стеку

|  |  |
| --- | --- |
| Адреса | Вміст ОЗП |
| … | програма |
| … | … |
| … | … |
| … | … |
| 0Ch | SP |
| 0Bh | PSW |
| 0Ah | RJ |
| 09h | RI |
| 08h | RH |
| 07h | RG |
| 06h | RF |
| 05h | RE |
| 04h | RD |
| 03h | RC |
| 02h | RB |
| 01h | RA |
| 00h | CNT |

**Формат слова стану віртуального процесора.**

Аркуш

26

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

Флаги, які відповідають ознакам, вважаються встановленими, якщо відповідний розряд має значення ’1’.

15 10 8 6 4 2 0

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| ... | O | ... | S | ... | Z | ... | A | ... | P | ... | C |

О (overflow) флаг переповнення;

S (sign) флаг від'ємного значення;

Z (zero) флаг нульового значення;

A (auxiliary) флаг переносу з молодшої тетради;

Р (parity) флаг парності;

С (carry) флаг переносу встарший розряд.

**Узагальнений алгоритм емуляції.**

1. Читання регістра програмного лічильника віртуального процесора з ОЗУ в один з регістрів БОД.

2. Формування адреси команди.

3. Читання команди з ОЗУ.

4. Виконання команди :

• Перехід на мікропрофаму емуляції команди (КОП -> ПНА -> МПП)

• Виконання мікропрограми.

5. Запис результату в ОЗУ.

6. Модифікація регістра слова стану

• Читання слова стану з ОЗУ в регістр БОД;

• Модифікація значень ознак;

• Запис слова стану а ОЗУ;

• Модифікація профамного лічильника;

• Інкремент значення програмного лічильника;

• Запис нового значення лічильника в ОЗУ.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Програмування ППА** | | | | | |
| N п/п | Адре-са (КОП) | Дані (12 разр. ПА ) | Команда | Довжина команди (слова) | Які формати даних обробляє |
| 1 | 01 | 001h | Nop | 1 | ..... |
| 2 | 02 | 003h | Ret | 1 | ..... |
| 3 | 03 | 004h | movsw | 1 | Short, char |
| 4 | 04 | 0lEh | movsdw | 1 | int, word, float |
| 5 | 05 | 021h | Me | 1 | short, short, char, word |
| 6 | 06 | 02Ah | Me | 1 | short, int.char, word |
| 7 | 07 | 02Ch | Fsqr | 1 | float |
| 8 | 08 | 034h | Not | 1 | char, word |
| 9 | 09 | 03Ah | Sra | 1 | short, int |
| 10 | 0А | 04Eh | Srl | 1 | char, word |
| 11 | 0В | 052h | Src | 1 | char, word |
| 12 | 0С | 056h | Dec | 1 | shon, ini, char, word |
| ІЗ | 0D | 0fi3h | Dec | 1 | short, int, char, word |
| 14 | 0Е | 06Ah | Sla | 1 | short, ini |
| 15 | 0F | 077h | Sll | 1 | char, word |
| 16 | 10 | 082h | Sic | 1 | char, word |
| 17 | 11 | 09Ah | Imp | 1 |  |
| 18 | 12 | 0A2h | Mov | 1 | Всі |
| 19 | 1З | 0A9h | Mov | 1 | Всі |
| 20 | 14 | 0B7h | Mov | 1 | Всі |
| 21 | 15 | 0C3h | Add | 1 | short, int,char.word |
| 22 | 16 | 0D8h | Add | 1 | short, int, char, word |
| 23 | 17 | 0E2h | Add | 1 | short, int, char, word |
| 24 | 18 | 0EFh | Fadd | 1 | float |
| 25 | 19 | 0F5h | Fadd | 1 | float |
| 26 | 1А | 100h | Fadd | 1 | float |
| 27 | 1В | 108h | imul | 1 | short, int |
| 28 | 1С | 10Dh | imul | 1 | short, int |
| 29 | 1D | 119h | Imul | 1 | short, int |
| 30 | 1E | 135h | Fmul | 1 | float |
| 31 | 1F | 150h | fmul | 1 | float |
| 32 | 20 | 16Ch | fmul | 1 | float |
| 33 | 21 | 17Ah | And | 1 | char, word |
| 34 | 22 | l87h | And | 1 | char, word |
| 35 | 23 | 199h | And | 1 | char, word |
| 36 | 24 | lA4h | Or | 1 | char, word |
| 37 | 25 | 1B6h | Or | 1 | char, word |
| 38 | 26 | 1C0h | Or | 1 | char, word |
| 39 | 27 | 1CFh | Xor | 1 | char, word |
| 40 | 28 | 1E5h | Xor | 1 | char, word |
| 41 | 29 | 1F8h | Xor | 1 | char, word |
| 42 | 2А | 208 h | Cmp | 1 | Всі |
| 43 | 2В | 20Dh | Cmp | 1 | Всі |
| 44 | 2С | 219h | Sub | 1 | short, int, char, word |
| 45 | 2D | 235h | Sub | 1 | short, int, char, word |

Аркуш

27

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 46 | 2Е | 250h | Sub | R,M | short, int,char, word |
| 47 | 2F | 26Ch | Fsub | R,R | float |
| 48 | 30 | 27Ah | Fsub | M,R | float |
| 49 | 31 | 287h | Fsub | R,M | float |
| 50 | 32 | 299h | Idiv | R,R | short, int |
| 51 | 33 | 2B4h | Idiv | M,R | short, int |
| 52 | 34 | 2D9h | Idiv | R,M | short, int |
| 53 | 35 | 2FAh | Fdiv | R,R | float |
| 54 | 36 | 306h | Fdiv | M,R | float |
| 55 | 37 | 31Ch | Fdiv | R,M | float |
| 56 | 38 | 320h | Mov | R,#1l6 | Всі |
| 57 | 39 | 32Ah | Add | R,#d16 | short, char |
| 58 | ЗА | 32Fh | іmul | R,#d16 | short |
| 59 | 3В | 335h | Cmp | R,#d16 | short, char |
| 60 | ЗС | 339h | Sub | R,#d16 | short, char |
| 61 | 3D | 34Fh | Idiv | R,#d16 | short |
| 62 | 3Е | 351h | Inc | adr | short, char |
| 63 | 3F | 357h | Jmp | adr | ... |
| 64 | 40 | 360h | Jmp | dist | ... |
| 65 | 41 | 36Bh | Jz | dist | ... |
| 66 | 42 | 377h | Jc | dist | ... |
| 67 | 43 | 382h | Js | dist | ... |
| 68 | 44 | 39Ah | Jo | dist | ... |
| 69 | 45 | 3A1h | Call | adr | ... |
| 70 | 46 | 3B5h | Call | dist | .. |
| 71 | 47 | 3E8h | Loop | dist | ... |
| 72 | 48 | 401 h | Dec | adr | short, char |
| 73 | 49 | 20Eh | Jnz | dist | .... |
| 74 | 4А | 2l7h | Jnc | dist | ... |
| 75 | 4В | 230h | Jns | dist | ... |
| 76 | 4С | 240h | Jno | dist | ... |

Аркуш

28

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

**7. РОЗРОБКА МІКРОПРОГРАМ ЕМУЛЯЦІЇ КОМАНД**

Аркуш

29

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

7.1. Мікропрограмний емулятор :

Даний код емулює таку команду:

* Вiднiмання з плаваючою крапкою

accept r0:0Bh

link l1:ct

link l2:rdm

link ewh:16

link m:7,6,5,4,3,2,1,0,Z,Z,Z,Z

dw 00h:100h

dw 100h:5A40h

dw 101h:3240h

dw 102h:1934h

dw 103h:2D34h

dw 104h:0FF00h

dw 0Bh:0105h

dw 03h:84e0h

dw 04h:19h

\MCSUBF

{xor r12,r12;}

{xor r15,r15;}

{load rn,flags; or r8,r10,z;}

{cjp not rn\_n,m3\_1;}

{or r12,1;}

m3\_1 {load rn,flags; or r9,r11,z;}

{cjp not rn\_n,m3\_2;}

{or r12,2;}

m3\_2 {and r8,7f00h;}

{and r9,7f00h;}

{and r10,0ffh;}

{and r11,0ffh;}

{load rn,flags; sub nil,r9,r8,nz;}

{cjp rn\_z,m3\_5;}

{cjp rn\_n,m3\_4;}

m3\_3 {add r8,100h;}

{or srl,r10,z;}

{load rn,flags; sub nil,r9,r8,nz;}

{cjp not rn\_z,m3\_3;}

{cjp nz,m3\_5;}

m3\_4 {add r9,100h;}

{or srl,r11,z;}

{load rn,flags; sub nil,r9,r8,nz;}

{cjp not rn\_n,m3\_4;}

m3\_5 {load rn,flags; and nil,r12,1;}

{cjp not rn\_z, m3\_6;}

{xor r10,0ffffh;}

{add r10,1;}

m3\_6 {load rn,flags; and nil,r12,2;}

{cjp rn\_z,m3\_7;}

{xor r11,0ffffh;}

{add r11,1;}

m3\_7 {load rn,flags; add r10,r10,r11,z;}

{cjp rn\_z,m3\_11;}

{cjp not rn\_n,m3\_8;}

{or r15,8000h;}

{xor r10,0ffffh;}

{add r10,1;}

m3\_8 {load rn,flags; and nil,r10,100h;}

{cjp rn\_z,m3\_9;}

{or srl,r10,z;}

{add r8,100h;}

{cjp nz,m3\_10;}

m3\_9 {load rn,flags; and nil,r10,80h;}

{cjp not rn\_z,m3\_10;}

{or sll,r10,z;}

{sub r8,r8,100h,nz;}

{cjp nz,m3\_9;}

m3\_10 {or r15,r8;}

m3\_11 {load rn,flags; or r15,r10;}

{cjp nz, S2;}

\END\_MCSUBF

END{}

Аркуш

30

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

*ЛІТЕРАТУРА*

Аркуш

31

Зм.

Арк.

№ докум.

Підпис

Дата

IАЛЦ.3.105.634.003 ПЗ

1. Дичка І.А. Методичні вказівки, розділ “Проектування обчислювальних систем на основі секційних мікропроцесорних комплектів”, Київ 1999
2. Дичка І.А. Методичні вказівки, розділ “Проектування обчислювальних систем з мікропрограмним управлінням”, Київ 2001
3. Проектирование цифровых систем на комплектах микропрограммируемых БИС./Под ред. В.Г.Колесникова.-М.:Радио и связь,1984.-240 с,
4. Микропроцессоры и микропроцессорные комплекты интегральных микросхем: Справ. В 2-х томах./Под ред. В.А.Шахнова.-М.:Радио и связь,1988.
5. Комплект БИС К1804 в процессорах и контроллерах./Под ред. В.Б.Смолова.-М.;Радио и связь,1990.-255 с.
6. Б.А.Калабеков. Микропроцессоры и их применение в системах передачи и обработки сигналов.-М.:Радио и связь, 1988.-368 с.
7. В.И.Корнейчук, В.П.Тарасенко. Вычислительные устройства на микросхемах. Справ. К.Техніка, 1988.-342с.